

Japanese Patent Laid-open Publication No.: 2001-229074 A

Publication date : August 24, 2001

Applicant : NEC IBARAKI LTD.

Title : Memory controller, information processor and memory controlling chip

5

(57) [ABSTRACT]

[Object]

In conventional arts of speeding-up pre-read memory accessing, there is a problem that provision of plural buffers or even enlarged capacity is not
10 enough to achieve faster pre-read memory accessing and even caused complexity in controlling . In some cases, there is another problem that execution of pre-read might lose performance instead.

[Solving Means]

A memory controller 10 is connected to bus masters 31 and 32 via
15 buses and controls accessing to a memory 20. The memory controller 10 comprises read buffers 11 and 12 for temporarily storing data read out from the memory 20, corresponding in number to the bus masters 31 and 32. When receiving a memory read request from the bus masters 31 or 32, the memory controller 10 reads out requested data and successive data from the
20 memory 20 to store them in the read buffer 11 or 12.

[0019]

[Embodiments of the Invention]

Next, embodiments of the present invention will be described in detail with reference to the drawings. Fig. 1 is a block diagram of an information
25 processor according to an embodiment of the present invention, the

information processor including a memory controller and a memory controlling chip. The information processor comprises bus masters 31 and 32 for connecting thereto by a bus X1, a memory controller 10, a bus arbiter 30 which is a circuit for arbitration of the bus X1, and a memory 20 which is
5 connected to the memory controller 10 to be controlled by the memory controller 10. The information processor has other functions, which are not limited here and therefore, description thereof is omitted.

[0020]

The bus masters 31 and 32 are CPUs for executing program or
10 operation, I/O controlling portions for controlling transfer between an I/O device or an I/O controller and the memory 20 or a CPU, or the like. The I/O controlling portions may be configured to perform I/O control with a bus provided at a lower level. In Fig. 1, two bus masters are shown, however, they are not for limiting the number of connected bus masters and bus
15 masters as much as necessary in the information processor may be connected.

[0021]

Information processors include a unit which operates as a main body such as a main frame and a personal computer, a unit which operates as
20 connected to a main body or a network such as an auxiliary storage and a printer, a unit which has a circuit of Fig. 1 embedded therein for particular application. Further, the memory controller 10 is preferably implemented in a one-chip LSI (large-scale integrated circuit) or may be implemented in each of plural chips.

25 [0022]

The memory controller 10 comprises: a write buffer 13 for temporarily storing data which is received based on a write request from a bus master 31 or 32; a read buffer 11 for temporarily storing data which is read out from the memory 20 based on a read request of the bus master 31; a read buffer 12 for temporarily storing data which is read out from the memory 20 based on a read request of the bus master 32; a switching circuit 14 for switching the read buffer 11 and the read buffer 12; and a controlling portion 15 for controlling the memory controller 10. The read buffers 11 and 12 are configured by FIFOs (First In First Out) having a plurality of entries so as to output read data successively to the common bus X1 based on a burst transfer.

[0023]

A driver circuit 16 and a receiver circuit 17 perform transmission and reception of signals with the common bus X1 while a driver circuit 19 and a receiver circuit 18 perform transmission and reception of signals with the memory 20. A signal wire received from the common bus X1 includes a command (CMD) signal having a command and an address/data (A/D) signal having an address and data, and the signal wire is received by the receiver circuit 17 to be output as a signal X4. In the signal X4, the data is connected to the write buffer 13 and the command and the address are connected to the controlling portion 15. The write buffer 13 is one here, however, plural write buffers may be provided.

[0051]

[Effects of the Invention]

As described above, a memory controller, according to the present

invention, is provided with read buffers for plural bus masters, respectively. With this configuration, even when the plural bus masters simultaneously execute reading of data of successive addresses, pre-read data are not made invalid but can be used effectively. Therefore, unnecessary memory access
5 due to invalidating of pre-read data can be eliminated, thereby achieving more faster memory accessing.

Fig. 1

	30	bus arbiter
10	31	bus master
	32	bus master
	15	controlling portion
	14	switching circuit
	11	read buffer
15	12	read buffer
	13	write buffer
	10	memory controller
	20	memory

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-229074

(P 2 0 0 1 - 2 2 9 0 7 4 A)

(43)公開日 平成13年 8月24日(2001.8.24)

(51)Int.Cl.	識別記号	F I	メモード	(参考)
G06F 12/02	560	G06F 12/02	560	C 5B060
12/00	560	12/00	560	B

審査請求 有 請求項の数11 O L (全9頁)

(21)出願番号 特願2000-37908(P 2000-37908)

(22)出願日 平成12年 2月16日(2000.2.16)

(71)出願人 000119793

茨城日本電気株式会社

茨城県真壁郡関城町関館字大茶367-2

(72)発明者 鈴木 晃一

茨城県真壁郡関城町関館字大茶367の2

茨城日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

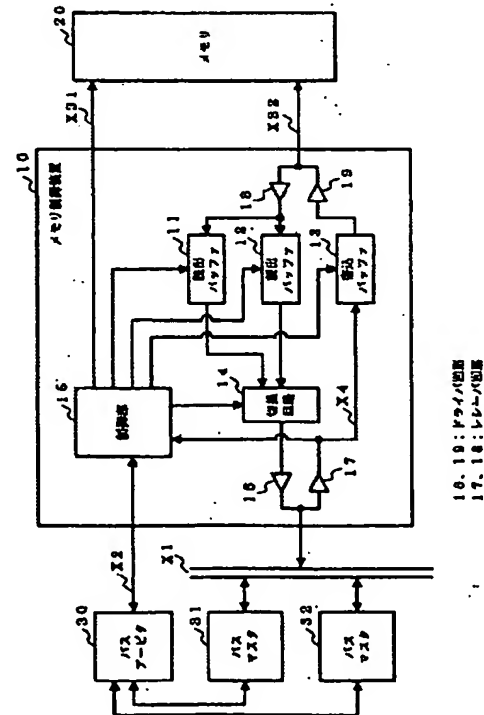
Fターム(参考) 5B060 CA04 CA06 CB01

(54)【発明の名称】メモリ制御装置と情報処理装置及びメモリ制御チップ

(57)【要約】

【課題】 従来の技術では、先読みによるメモリアクセスの高速化において、単に複数のバッファを備えたり、容量を大きくしても、十分な効果を得られなかったり、制御が複雑となるという課題があった。また、場合によっては先読みを実行することによりかえって性能を損なうことがあるという課題があった。

【解決手段】 バスマスタ31、32とバスで接続され、メモリ20のアクセスを制御するメモリ制御装置10において、メモリ20から読み出したデータを一時的に保持する読出バッファ11、12をバスマスタ31、32に対応してバスマスタの数だけ備え、バスマスタ31又は32からメモリ読み出し要求を受けた際に、要求されたデータとこれに続く後続データとをメモリ20から読み出して読出バッファ11又は12に保持することを特徴とする。



【特許請求の範囲】

【請求項 1】 複数のバスマスタとバスで接続され、前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御するメモリ制御装置において、前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ備えたことを特徴とするメモリ制御装置。

【請求項 2】 複数のバスマスタとバスで接続され、前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御するメモリ制御装置において、

前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ備えるとともに、前記バスマスタからメモリ読み出し要求を受けた際に、要求されたデータとこれに続く後続データとを前記メモリから読み出して要求のあった前記バスマスタに対応した前記読出バッファに保持することを特徴とするメモリ制御装置。

【請求項 3】 複数のバスマスタとバスで接続され、前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御するメモリ制御装置において、

前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ備えるとともに、

前記バスマスタの 1 つのバスマスタ A からメモリ読み出し要求を受けた際に、前記読出バッファの 1 つでバスマスタ A に対応した読出バッファ A を参照して、読出バッファ A に要求されたデータがあった場合には、読出バッファ A のデータをバスマスタ A に返し、読出バッファ A に要求されたデータが無かった場合には、前記メモリからデータを読み出してバスマスタ A に返すとともに要求されたデータに続く後続データを前記メモリから読み出して読出バッファ A に一時的に保持することを特徴とするメモリ制御装置。

【請求項 4】 前記バスマスタの 1 つのバスマスタ A からメモリ読み出し要求を受けた際に、前記読出バッファの 1 つでバスマスタ A に対応した読出バッファ A を参照して、読出バッファ A に保持されているデータが要求されたデータではなかった場合に、読出バッファ A に保持されているデータを無効にすることを特徴とした請求項 3 のメモリ制御装置。

【請求項 5】 複数のバスマスタとバスで接続され、前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御するメモリ制御装置において、

前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ備えるとともに、

前記バスマスタの 1 つのバスマスタ A からメモリ読み出し要求を受けた際に、前記読出バッファの 1 つでバスマスタ A に対応した読出バッファ A を参照して、読出バッファ A に要求されたデータがあった場合には、読出バッファ A のデータをバスマスタ A に返し、読出バッファ A に要求されたデータが無かった場合には、前記メモリからデータを読み出してバスマスタ A に返すとともに前記メモリ読み出し要求がバースト転送のメモリ読み出し要求であった場合のみ要求されたデータに続く後続データを前記メモリから読み出して読出バッファ A に一時的に保持することを特徴とするメモリ制御装置。

【請求項 6】 前記バスマスタの 1 つのバスマスタ A からメモリ読み出し要求を受けた際に、前記読出バッファの 1 つでバスマスタ A に対応した読出バッファ A を参照して、読出バッファ A に保持されているデータが要求されたデータではなく且つ前記メモリ読み出し要求がバースト転送のメモリ読み出し要求であった場合に、読出バッファ A に保持されているデータを無効にすることを特徴とした請求項 5 のメモリ制御装置。

【請求項 7】 複数のバスマスタとバスで接続され、前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御するメモリ制御装置において、

前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ備え、前記メモリへの書き込みデータを一時的に保持する書込バッファを 1 つだけ備えたことを特徴とするメモリ制御装置。

【請求項 8】 複数のバスマスタとバスで接続され、前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御するメモリ制御装置において、

前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ備えるとともに、前記バスマスタからバースト転送のメモリ読み出し要求を受けた際に、要求されたデータとこれに続く後続データとを前記メモリから読み出して要求のあった前記バスマスタに対応した前記読出バッファに保持し、

前記メモリへの書き込みデータを一時的に保持する書込バッファを備え、前記バスマスタの書き込み要求を受けた際に、前記全ての読出バッファを参照して、前記書き込み要求と同じアドレスのデータを保持している読出バッファのデータを無効にすることを特徴とするメモリ制御装置。

【請求項 9】 複数のバスマスタとバスで接続され、前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御するメモリ制御装置において、

前記メモリから読み出したデータを一時的に保持する読

出バッファを前記バスマスタに対応して前記バスマスタの数だけ備えるとともに、前記バスマスタからバースト転送のメモリ読み出し要求を受けた際に、要求されたデータとこれに続く後続データとを前記メモリから読み出して要求のあった前記バスマスタに対応した前記読出バッファに保持し、

前記メモリへの書き込みデータを一時的に保持する書込バッファを備え、前記バスマスタの書き込み要求を受けた際に、前記メモリへ前記書き込みデータを書き込むとともに、前記全ての読出バッファを参照して、前記書き込み要求と同じアドレスのデータを保持している読出バッファへも前記書き込みデータを上書きすることを特徴とするメモリ制御装置。

【請求項10】 プログラムやデータを記憶するメモリへのアクセスを制御するメモリ制御装置と複数のバスマスタとがバスで接続された情報処理装置において、前記メモリ制御装置が請求項1乃至9のメモリ制御装置である情報処理装置。

【請求項11】 請求項1乃至9のメモリ制御装置を1つの集積回路チップに実装したことを特徴とするメモリ制御チップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はメモリ制御装置、情報処理装置、及びメモリ制御チップに関し、特に連続したデータをまとめて転送するバースト転送において後続するデータを先読みをすることによりメモリへのアクセスを高速化する技術に関する。

【0002】

【従来の技術】CPUやIO制御装置などメモリのアクセスを行うバスマスタがメモリを読み出す場合、連続したアドレスで読み出しを実行することが多いため、連続したアドレスのデータを読み出すバースト転送を行ってメモリへのアクセスを高速化している。また、これに伴ってメモリ素子もバースト転送に対応したものが多く生産されている。

【0003】さらにメモリアccessを高速化するために、要求されたデータに後続するデータをメモリから予め読み出してバッファに一時的に保持し、次に連続したアドレスの読み出し要求があった場合に上記バッファのデータを返すことにより高速化する先読み動作が知られている。この場合、バッファは先読みによるバースト転送に必要な容量を追加して備える必要がある。

【0004】また、各バスマスタは異なるアドレスへアクセスすることが多いため、例えばバスマスタAがA番地を、続いてバスマスタBがB番地をアクセスした場合、バスマスタAの先読みで読み出されたA+N番地(Nはバースト転送の大きさを示す)のデータは、後続するバスマスタBでは不要なため無効化されてしまい、さらに先読みのためにB番地の読み出しが遅れてしまう

ということが起こる。

【0005】これを回避するためには、バッファ容量をもっと大きくして後続の他のバスマスタによって無効化されないように保持したり、要求アドレスに応じて使用するバッファを複数に分割して備えるという方法があるが、各バスマスタのアクセスが一時的に特定のバッファに集中してしまい十分な効果が得られなかったり、容量を大きくした場合、バッファに保持するデータを管理するための制御が複雑になったりしていた。

【0006】

【発明が解決しようとする課題】以上のように従来の技術では先読みによるメモリアccessの高速化において、単に複数のバッファを備えたり、容量を大きくしても、十分な効果が得られず、また、制御が複雑となるという課題があった。さらには先読みを実行することによりかえって性能を損なうことがあるという課題があった。

【0007】本発明の主な目的は多数のバスマスタがメモリ制御装置に対して同時に読み出しアクセスを行う場合にも、先読み動作によって性能低下することなく、より確実に高速なメモリをアクセスを実現したメモリ制御装置、情報処理装置、及びメモリ制御チップを提供することにある。

【0008】

【課題を解決するための手段】本発明の第1のメモリ制御装置は、複数のバスマスタとバスで接続して前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御し、前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ有する。

【0009】本発明の第2のメモリ制御装置は、複数のバスマスタとバスで接続して前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御し、前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ有し、前記バスマスタからメモリ読み出し要求を受けた際に、要求されたデータとこれに続く後続データとを前記メモリから読み出して要求のあった前記バスマスタに対応した前記読出バッファに保持する手段を有する。

【0010】本発明の第3のメモリ制御装置は、複数のバスマスタとバスで接続して前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御し、前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ有し、前記バスマスタの1つのバスマスタAからメモリ読み出し要求を受けた際に、前記読出バッファの1つでバスマスタAに対応した読出バッファAを参照して、読出バッファAに要求されたデータがあった場合には、読出バッファAのデータをバスマスタAに返し、読出バッファAに要求されたデータが無かつ

た場合には、前記メモリからデータを読み出してバスマスタAに返すとともに要求されたデータに続く後続データを前記メモリから読み出して読出バッファAに一時的に保持する手段を有する。

【0011】本発明の第4のメモリ制御装置は、第3のメモリ制御装置に加えて、前記バスマスタの1つのバスマスタAからメモリ読み出し要求を受けた際に、前記読出バッファの1つでバスマスタAに対応した読出バッファAを参照して、読出バッファAに保持されているデータが要求されたデータではなかった場合に、読出バッファAに保持されているデータを無効にする手段を有する。

【0012】本発明の第5のメモリ制御装置は、複数のバスマスタとバスで接続して前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御し、前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ有し、前記バスマスタの1つのバスマスタAからメモリ読み出し要求を受けた際に、前記読出バッファの1つでバスマスタAに対応した読出バッファAを参照して、読出バッファAに要求されたデータがあった場合には、読出バッファAのデータをバスマスタAに返し、読出バッファAに要求されたデータが無かった場合には、前記メモリからデータを読み出してバスマスタAに返すとともに前記メモリ読み出し要求がバースト転送のメモリ読み出し要求であった場合のみ要求されたデータに続く後続データを前記メモリから読み出して読出バッファAに一時的に保持する手段を有する。

【0013】本発明の第6のメモリ制御装置は、第5のメモリ制御装置に加えて、前記バスマスタの1つのバスマスタAからメモリ読み出し要求を受けた際に、前記読出バッファの1つでバスマスタAに対応した読出バッファAを参照して、読出バッファAに保持されているデータが要求されたデータではなく且つ前記メモリ読み出し要求がバースト転送のメモリ読み出し要求であった場合に、読出バッファAに保持されているデータを無効にする手段を有する。

【0014】本発明の第7のメモリ制御装置は、複数のバスマスタとバスで接続して前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御し、前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ有し、前記メモリへの書き込みデータを一時的に保持する書込バッファを1つ有する。

【0015】本発明の第8のメモリ制御装置は、複数のバスマスタとバスで接続して前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御し、前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ有し、前記バスマスタからバースト

転送のメモリ読み出し要求を受けた際に、要求されたデータとこれに続く後続データとを前記メモリから読み出して要求のあった前記バスマスタに対応した前記読出バッファに保持する手段と、前記メモリへの書き込みデータを一時的に保持する書込バッファと、前記バスマスタの書き込み要求を受けた際に、前記全ての読出バッファを参照して、前記書き込み要求と同じアドレスのデータを保持している読出バッファのデータを無効にする手段とを有する。

【0016】本発明の第9のメモリ制御装置は、複数のバスマスタとバスで接続して前記バスマスタの要求に応じてプログラムやデータを記憶するメモリへのアクセスを制御し、前記メモリから読み出したデータを一時的に保持する読出バッファを前記バスマスタに対応して前記バスマスタの数だけ有し、前記バスマスタからバースト転送のメモリ読み出し要求を受けた際に、要求されたデータとこれに続く後続データとを前記メモリから読み出して要求のあった前記バスマスタに対応した前記読出バッファに保持する手段と、前記メモリへの書き込みデータを一時的に保持する書込バッファと、前記バスマスタの書き込み要求を受けた際に、前記メモリへ前記書き込みデータを書き込むとともに、前記全ての読出バッファを参照して、前記書き込み要求と同じアドレスのデータを保持している読出バッファへも前記書き込みデータを上書きする手段とを有する。

【0017】本発明の情報処理装置は、プログラムやデータを記憶するメモリと、前記メモリへのアクセスを制御するメモリ制御装置と、複数のバスマスタと、前記メモリ制御装置と前記複数のバスマスタと接続するバスを有し、前記メモリ制御装置は前記第1乃至9のメモリ制御装置の手段を有する。

【0018】本発明のメモリ制御チップは、前記第1乃至9のメモリ制御装置を実装する。

【0019】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の実施の形態の情報処理装置のブロック図であり、メモリ制御装置とメモリ制御チップも含んでいる。情報処理装置はバスX1に接続するバスマスタ31、バスマスタ32、メモリ制御装置10と、バスX1の調停を行う回路のバスアービタ30と、メモリ制御装置10に接続しメモリ制御装置10に制御されるメモリ20を含む。情報処理装置が含むこの他の機能については特に限定しないので図示していない。

【0020】バスマスタ31、32は、プログラムの実行や演算を実行するCPUや、入出力装置又は入出力制御装置とメモリ20又はCPU間の転送を制御するIO制御部等である。IO制御部はさらに下位にバスを設けて制御する構成も考えられる。図1ではバスマスタを2つ示しているが、特に接続数を限定するものではなく、

装置の必要性に応じた数のバスマスタを接続してもよい。

【0021】情報処理装置としては、メインフレームやパーソナルコンピュータのように本体として動作するものや、補助記憶装置や印刷装置のように本体又はネットワーク等に接続して動作するものや、図1の回路が組み込まれた特定用途のもの等がある。また、メモリ制御装置10は1チップのLSI（大規模集積回路）に実装して実現するのも有力であるが、複数のチップに分散して実装されてもよい。

【0022】メモリ制御装置10は、バスマスタ31やバスマスタ32からの書き込み要求で受けた書き込みデータを一時的に保持する書込バッファ13と、バスマスタ31の読み出し要求に従ってメモリ20から読み出したデータを一時的に保持する読出バッファ11と、バスマスタ32の読み出し要求に従ってメモリ20から読み出したデータを一時的に保持する読出バッファ12と、読出バッファ11と読出バッファ12を切り換える切換回路14と、メモリ制御装置10の制御を行う制御部15とを含む。読出バッファ11、12はバースト転送に対応して共通バスX1に連続して読み出しデータを出力できるように複数のエントリを備えるFIFO（First in first out）で構成されている。

【0023】ドライバ回路16、レシーバ回路17は、共通バスX1との信号の送受信を行い、ドライバ回路19、レシーバ回路18は、メモリ20との信号の送受信を行う。共通バスX1から受信する信号線は、コマンドを含むコマンド（CMD）信号と、アドレスとデータを含むアドレス／データ（A/D）信号を含み、レシーバ回路17で受信されて信号X4として出力される。信号X4のうち、データは書込バッファ13へ接続し、コマンドとアドレスは制御部15へ接続する。なお、書込バッファ13は1つとしているが複数設けてもよい。

【0024】次に制御部15の構成について図2を用いて説明する。アドレスレジスタ51とアドレスレジスタ52は、それぞれバスマスタ31とバスマスタ32の読み出し要求によって読み出したデータのアドレスを保持している。読出バッファ11と読出バッファ12に複数の読出データが保持されている場合は、先に読み出したデータのアドレスを保持しており、読出バッファ11又は12からデータが出力される際にアドレスレジスタ51又は52内のアドレス値が更新される。共通バスX1から新たな要求を受け付けた際は、アドレスレジスタ51又は52に保持するアドレスと要求アドレスとが比較回路53、比較回路54で比較され、結果が制御回路55に送られる。信号X31は、コマンド信号X41とアドレス／データ信号X42を基に制御回路55で作成されたメモリ20に対する制御信号やアドレス信号である。

【0025】制御回路55は、いくつかの制御信号から

なる信号X2でバスアービタ30と接続され、共通バスX1との信号の送受信を制御し、またコマンド信号X41で共通バスX1のコマンドを受けて、コマンドの要求内容に従ってメモリ20への書き込みや読み出し等の一連の手順を実行するために、メモリ制御装置10を制御する。管理回路61は、読出バッファ11に保持されている読み出しデータの数を管理する回路で、管理回路62は、読出バッファ12に保持されている読み出しデータの数を管理する回路である。バッファが空とは保持するデータの数が“0個”ということである。これらの管理回路は、書き込みポイントと読み出しポイントを持ち、これらの差分から保持するデータ数を検出する回路で構成されることが知られているので、詳細な説明は省略する。

【0026】次に、本発明の実施の形態の動作について図面を参照して説明する。図3は本発明の実施の形態の動作を説明するタイミングチャートである。図3では、メモリ制御装置10で処理中の要求が無い状態で、バスマスタ31からa番地の読み出し要求を受け、次にバスマスタ32からp番地の読み出し要求を受け、さらにバスマスタ31から前の読み出し要求に連続したアドレスのe番地の読み出し要求があった場合の動作を示している。

【0027】ここで、共通バスX1について説明する。共通バスX1は、クロック同期式のバスであり、アドレスとデータは双方向のアドレス／データ信号X12で時分割されて転送され、データの最大バースト長は4である。共通バスX1のコマンド信号X11で転送されるコマンドと上記アドレスは、コマンドスタート信号がアクティブの際、バスマスタ31又は32より送出される。アドレスとコマンドを送出してから書き込み又は読み出しのデータ転送を開始するまでのタイミングは可変であり、レディ信号によって送出タイミングが示される。メモリ20への書き込みの際は、バスマスタ31又は32がレディ信号を出力し、メモリ20からの読み出しの際はメモリ制御装置10がレディ信号を出力する。

【0028】以降説明を分かりやすくするために、共通バスX1のアドレス／データ信号幅とメモリ20との信号X32のデータ幅とを4バイトとし、バースト転送の要求アドレスは、1回のバースト転送量16バイトの単位すなわち16の倍数とする。また、バースト長は4固定とする。ただし、共通バスX1の構成はここでいう構成に限定するものではなく、別の構成であっても本発明を適用できる。

【0029】まずバスマスタ31は、メモリ20からのバースト転送の読み出し要求をするためにバスアービタ30に対してバスの使用権要求を行い、使用権を得てタイミングt1にて、コマンドスタート信号と、アドレス“a”と、バースト長4のメモリ読み出し要求コマンドとを出力する。レシーバ回路17を通して制御回路55

は、上記コマンドとアドレスを受け取り、バスマスタ31に対応する読出バッファ11の状況を確認する。ここでは読出バッファ11に読み出すデータが保持されているか否かを確認するため、アドレスレジスタ51に保持されるアドレスと、読出バッファ11に保持されているデータ数の情報を、それぞれ比較回路53と管理回路61で確認する。

【0030】t1の要求では先行する要求は全て処理が終わっているので読出バッファ11は空であり、制御回路55は、メモリ20に対して要求バースト長4と先読み分の合わせて8バースト長分のデータの読み出しを行う。最初に読み出した4回分のデータ(A~D)は、クロック毎に次々と読出バッファ11へ格納され、続いて共通バスX1へ切換回路14を通して出力される。このとき、同時に制御回路55は信号X2へレディ信号を出力して読み出しデータを出力したことを通知する。バスマスタ31はレディ信号によって共通バスX1から読み出しデータ(A~D)を受け取る。

【0031】このように、最初の4回分の読み出しデータ(A~D)はすぐに共通バスX1へ出力されるため読出バッファ11には残らず、残りの4回分の読み出しデータ(E~H)が、読出バッファ11に保持され、アドレスレジスタ51にはデータ"E"のアドレス"e"が保持される。ここでアドレス"e"は"a+16"という値である。

【0032】次にバスマスタ32は、バスの使用権を得るとコマンドスタート信号をタイミングt2で出力すると同時に、アドレス"p"とバースト長4の読み出し要求コマンドを出力する。メモリ制御装置10はタイミングt1の要求の動作と同様に、バスマスタ32に対応する読出バッファ12の状況確認を行う。読出バッファ12は空なので、制御回路55は、メモリ20に対して要求バースト長4と先読み分の合わせて8バースト長分のデータの読み出しを行う。最初に読み出した4回分のデータ(P~S)は、クロック毎に次々と読出バッファ12へ格納され、続いて共通バスX1へ切換回路14を通して出力される。このとき、同時に制御回路55は信号X2へレディ信号を出力して読み出しデータを出力したことを通知する。バスマスタ32はレディ信号によって共通バスX1から読み出しデータ(P~S)を受け取る。

【0033】このように、最初の4回分の読み出しデータ(P~S)はすぐに共通バスX1へ出力されるため読出バッファ12には残らず、残りの4回分の読み出しデータ(T~W)が、読出バッファ11に格納され保持され、アドレスレジスタ52にはデータ"T"のアドレス"p+16"が保持される。

【0034】次にバスマスタ31は、前回のアドレス"a"に続くアドレス"e"(=a+16)のバースト長4の読み出し要求と、コマンドスタート信号をタイミングt3で出力する。上記要求を受け付けると、メモリ制御

装置10は読出バッファ11の状況を確認する。この場合、読出バッファ11は有効な読み出しデータを保持しているため、X42で供給される読み出し要求アドレス"e"とアドレスレジスタ51に保持するアドレス"e"とが比較回路53で比較され、一致したことが制御回路55に通知される。

【0035】一致が通知されると、さらに要求のバースト長4のデータが読出バッファ11に保持されていることを管理回路61で確認する。この場合、4バースト長分のデータがあるので、制御部15はメモリ20への読み出しは行わず、レディ信号と同時に読出バッファ11のデータ(E~H)を切換回路14を通して4回分続けて共通バスX1へ出力する。バスマスタ31はデータ(E~H)を共通バスから受け取り、アドレス"e"の読み出し要求の動作が完了する。読出バッファ11は保持していたデータ(E~H)を出力したために空の状態となる。

【0036】以上のように、アドレス"e"の読み出し要求ではメモリ20へのアクセスをすることなく、読出バッファ11から読み出しデータを返却できるため、メモリ20への読み出し要求を高速に処理することができる。また、バスマスタ31からのアドレス"a"とアドレス"e"の要求の間に受け付けたバスマスタ32からのアドレス"p"の要求によって読出バッファ11の状態は変わることなくデータ(E~H)を保持し続けることができる。これは、バスマスタ毎に読出バッファを備えたことにより、簡単な制御によって実現されている。

【0037】図3では示していないが、タイミングt3でバスマスタ31からアドレス"a"に連続しないアドレス"z"のバースト長4の読み出し要求が実行された場合について説明する。この場合、読出バッファ11が有効なデータを保持しているため、要求アドレス"z"とアドレスレジスタ51が比較回路53で比較され不一致を制御回路55に通知する。制御回路55は、読出バッファ11が保持するデータが要求のデータでないことを知ると、読出バッファ11に保持されているデータを無効化する。制御回路55は、必要なデータを読み出すために、メモリ20に対してアドレス"z"から要求のバースト長4と先読み分を合わせてバースト長8の読み出しを行い、要求分のデータをバスマスタ31へ返却して、先読み分のデータを読出バッファ11に保持する。

【0038】このように、先読みを実行しても後続する読み出しアドレスが連続しない場合は先読みしたデータは無効になってしまい、メモリ20に対する先読みの処理が余計にされたこととなる。従って、場合によっては先読みの動作の終了を待つことにより、後に実行されるメモリアクセスが遅延することも起こる。

【0039】読出バッファを1つしか設けない従来の構成では、上記のバスマスタ32のタイミングt2の要求を受けることにより先読みしたデータ(E~H)が無効

化されてしまい、かえってメモリアクセスを遅延させることもあったが、本発明では、読出バッファをバスマスタ毎に設けているため、各バスマスタにおいて連続したアドレスで読み出しを行う場合、他のバスマスタのアクセスによって先読みデータが無効化されることがないので、効率よく先読みデータを利用してメモリアクセスを高速化できる。

【0040】ここでは、先読みは読出バッファに要求のデータがないときのみ実行しているが、読出バッファに要求のデータがあった場合でも、さらに先読みを実行するようにしてもよい。また、共通バスX1に次のメモリアクセス要求があるか否か参照して、次のメモリアクセス要求がないときに先読みを実行するようにしてもよい。ただし、そのためには専用の制御手段を追加して備える必要があるため、制御が複雑となり設計が難しくなるが、上記で説明した動作では特別な制御手段は必要なく設計が容易である。

【0041】本発明は、バスマスタ毎に読出バッファを設けるため、1つのバッファを各バスマスタで共有する場合に比べると全体のバッファ容量が大きくなるが、制御が複雑とならないため、設計が容易で短時間で開発できるという長所がある。また、バスマスタに拡張性を持たせる構成とする情報処理装置では、未実装となるバスマスタに対しても読出バッファを備える必要があるため、バスマスタの拡張性の少ない情報処理装置の方がより効率的である。

【0042】次に、書き込み要求における動作について説明する。具体的には図3においてタイミングt2でバスマスタ31よりアドレス“e”の書き込み要求を受けた場合の動作を説明する。

【0043】バスマスタ31はタイミングt2でコマンドスタート信号を出力すると同時にアドレス“e”の書き込み要求を出力する。これを受信すると、制御部15では要求アドレス“e”とアドレスレジスタ51、52をそれぞれ比較回路53、54で比較する。この場合、読出バッファ12は空なので、比較回路54の出力によらず不一致となるが、読出バッファ11は有効なので比較回路53の出力は有効で一致となる。

【0044】一致と判定されると、一致した読出バッファ11に保持される先読みのデータは無効化され、読出バッファ11は空となる。この後、バスマスタ31から出力されるレディ信号に従って書き込みデータを書込バッファ13へ格納し、書込バッファ13からメモリ20へデータを書き込む。

【0045】これ以降にバスマスタ31からアドレス“e”の読み出し要求があった場合、読出バッファ11が空となっているため、メモリ20へ読み出しが行われるので、バスマスタ31によるデータの書き換えが反映されたデータをバスマスタ31は得ることができる。上記のタイミングt2のアドレス“e”の書き込み要求がバ

マスタ31ではなくバスマスタ32で出力された場合でも、同様に処理されて読出バッファ11のアドレス“e”の先読みデータは無効化されるため、以降のアクセスでは正しいデータを読み出すことができる。

【0046】このように書き込み要求においては全ての読出バッファの状況が確認されるため、読出バッファに保持されている先読みデータに対してデータの書き換えが実行されても、誤って書き換える前のデータを以降のアクセスで返却することなく、書き換えられたデータをメモリ20から読み出して正しく返却することができる。

【0047】別の書き込み要求における動作としては、書き込みデータをメモリ20へ書き込むとともに、読出バッファ11にも上書きすることによりデータの整合をとる方法がある。上述の書き込み要求の動作説明を基に説明すれば、書き込み要求アドレスと読出バッファ11、12を比較した結果、読出バッファ11が一致すると、上述の動作のように読出バッファ11を無効化することなく、書込バッファ13からメモリ20へデータを書き込むと同時に読出バッファ11へも同一のデータを上書きする。これによりバスマスタ31からの以降の読み出し要求に対しても書き換え後のデータを読出バッファ11から読み出して返却することができる。

【0048】以上ではバスマスタ31よりアドレス“e”の書き込み要求を受けた場合の動作を説明したが、アドレス“e+4~e+12”の各4バイトに対する書き込み要求では、単純にアドレスレジスタ51と上記書き込み要求アドレスを比較しても一致とならないので、比較回路53では、書き込み要求アドレスをアドレスレジスタ51で保持するアドレス“e”、“e+4”、“e+8”、“e+12”のそれぞれに対して比較する必要があり、管理回路61の情報から保持されているデータ数も調べて書き込みデータが読出バッファ11に保持されているか否かを判定する必要がある。

【0049】しかしながら、このためには判定のための回路を追加する必要があるため、多くの場合、バースト転送の要求アドレスを最大バースト長である16バイトの倍数とし、且つバースト長を16バイトに固定することにより、比較回路53ではアドレスの下位4ビットを除外して上位ビットのみを比較するようにしている。こうすることにより判定のために比較回路を複雑としなくて済むからである。本発明の実施の形態では上記どちらの方法で判定するかは特に限定しない。

【0050】このように、読出バッファに保持する先読みデータに対する書き込み要求が実行されても、誤って書き込み前のデータを返却することを回避して、書き込み後の正しいデータを返却することができる。

【0051】

【発明の効果】以上説明したように、本発明によれば、メモリ制御装置に複数のバスマスタ毎に読出バッファを

設けることにより、複数のバスマスタがそれぞれ連続したアドレスのデータ読み出しを平行して実行する場合でも、先読みデータを無効化することなく有効に活用できるので、先読みデータの無効化によるメモリへの余計なアクセスを減らすとともに、メモリアクセスを高速化できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態の情報処理装置のブロック図であり、メモリ制御装置、メモリ制御チップを含む。

【図2】本発明の実施の形態の制御部15のブロック図である。

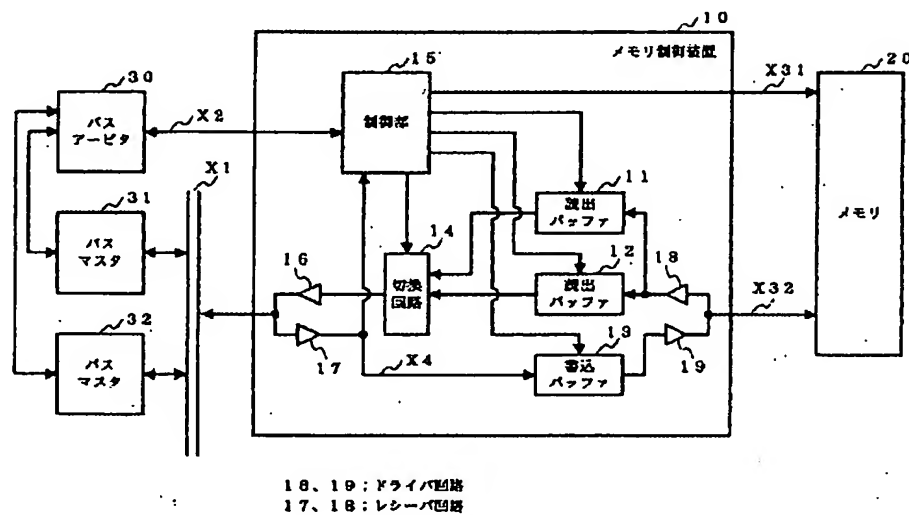
【図3】本発明の実施の形態の動作を説明したタイミングチャートである。

【符号の説明】

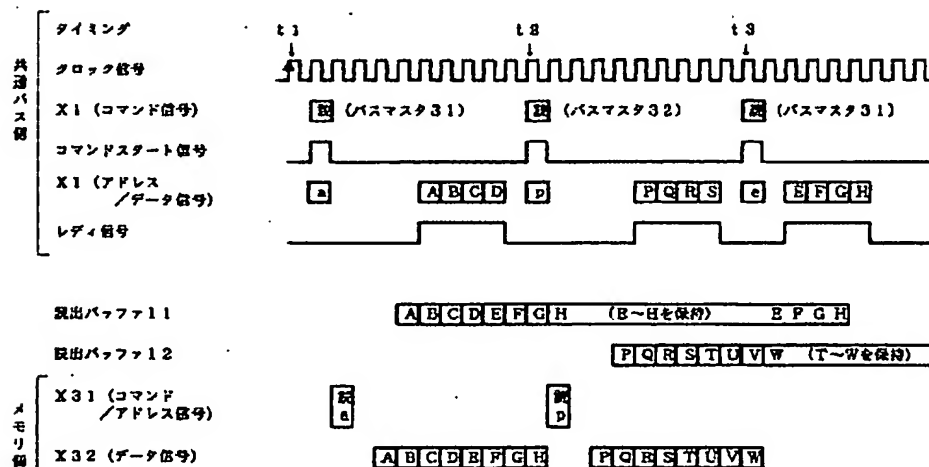
10 メモリ制御装置
11 読出バッファ

12 読出バッファ
13 書込バッファ
14 切換回路
15 制御部
20 メモリ
30 バスアービタ
31 バスマスタ
32 バスマスタ
51 アドレスレジスタ
52 アドレスレジスタ
53 比較回路
54 比較回路
55 制御回路
61 管理回路
62 管理回路

【図1】



【図3】



【図2】

